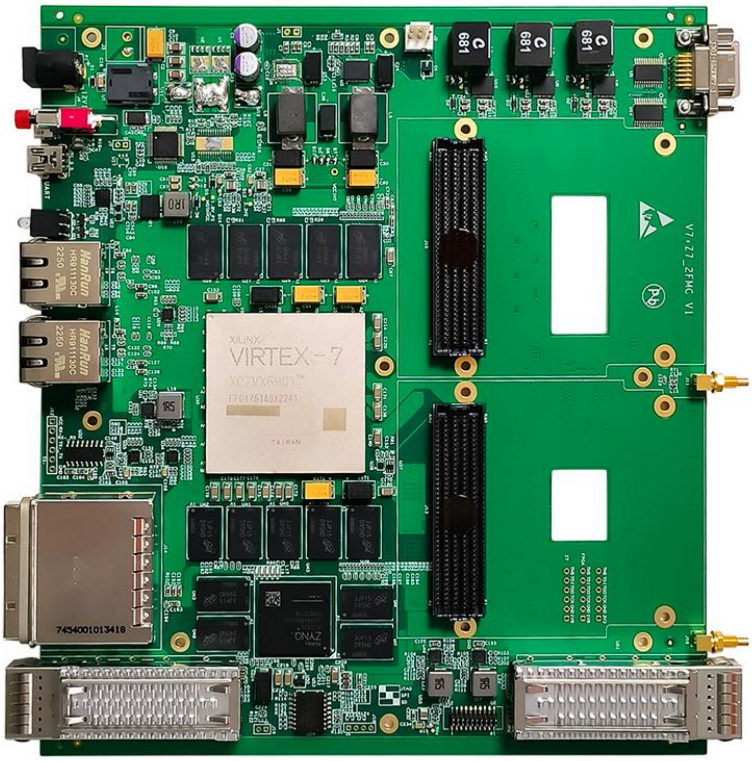
QT7021

基于Virtex 7 690T的
高性能双FMC载板



产品数据手册（datasheet）

简介

QT7021 板卡是一款高性能的 FMC 载板。板载 2 个 HPC 形式的 FMC 连接器。板卡选用了 1 片 Xilinx Virtex 7 系家族中的 XC7VX690T-2FFG1761 芯片负责计算和处理，另外搭配一颗 Zynq 系列的 XC7Z020-CLG484 作为系统控制。XC7VX690T 搭配了 2 组每组 5 颗 16bit/512MB 的 DDR3-1866 的 SDRAM（其中一颗作为 ECC 校验），还搭配了 1 颗 256Mb 的 SPI Flash 加载程序，硬件预留 1 颗 SPI Flash 作为存储。XC7Z020 的 PS 和 PL 分别搭配了 2 颗 16bit/512MB 的 DDR3-1866 的 SDRAM，PS 端还搭配了一颗 256Mb 的 SPI Flash 加载程序。板卡还支持其他丰富的各种接口，一个 eMMC 模块接口（也可配置成 GPIO/CAN/UART/IIC/SPI/PJTAG 等接口），一个 Micro SD 卡槽，2 个标准 RJ45 的千兆网口，一个 Mini USB 转接 UART 接口，1 个 Micro USB 转接 JTAG 下载口和 1 个 6pin 的 JTAG 口，1 个 6pin 的 422 串口（预留支持选焊成 232 和 485 电路）， 2 个 QSFP+的光纤口，1 个 J30J 形式的 13 路 3.3V 标准 GPIO 接口和 2 个 SSMC 形式的普通 IO 口（其中 1 个预留有 GPS 电路，可支持 RF 信号输入）。还有一个高速扩展口，可以支持 PCIe 3.0x8 的信号扩展。

QT7021 通过 2 个 HPC 的标准 FMC （VITA 57.1）接口向外部提

供丰富、高速且可配置的数字 I/O 资源，其中每路 FMC 可提供 82 对高速差分线（含 2 对差分时钟线）、10 组共 20 对超高速 DP 差分对及 2 对超高速差分时钟线，客户可以根据应用需求灵活地选择 FMC 子卡，比如 ADC 子卡、DAC 子卡以及光纤子卡等。同时可支持 Windows，Linux 上位机驱动。便于构建灵活、高效的开发及使用环境。

应用：

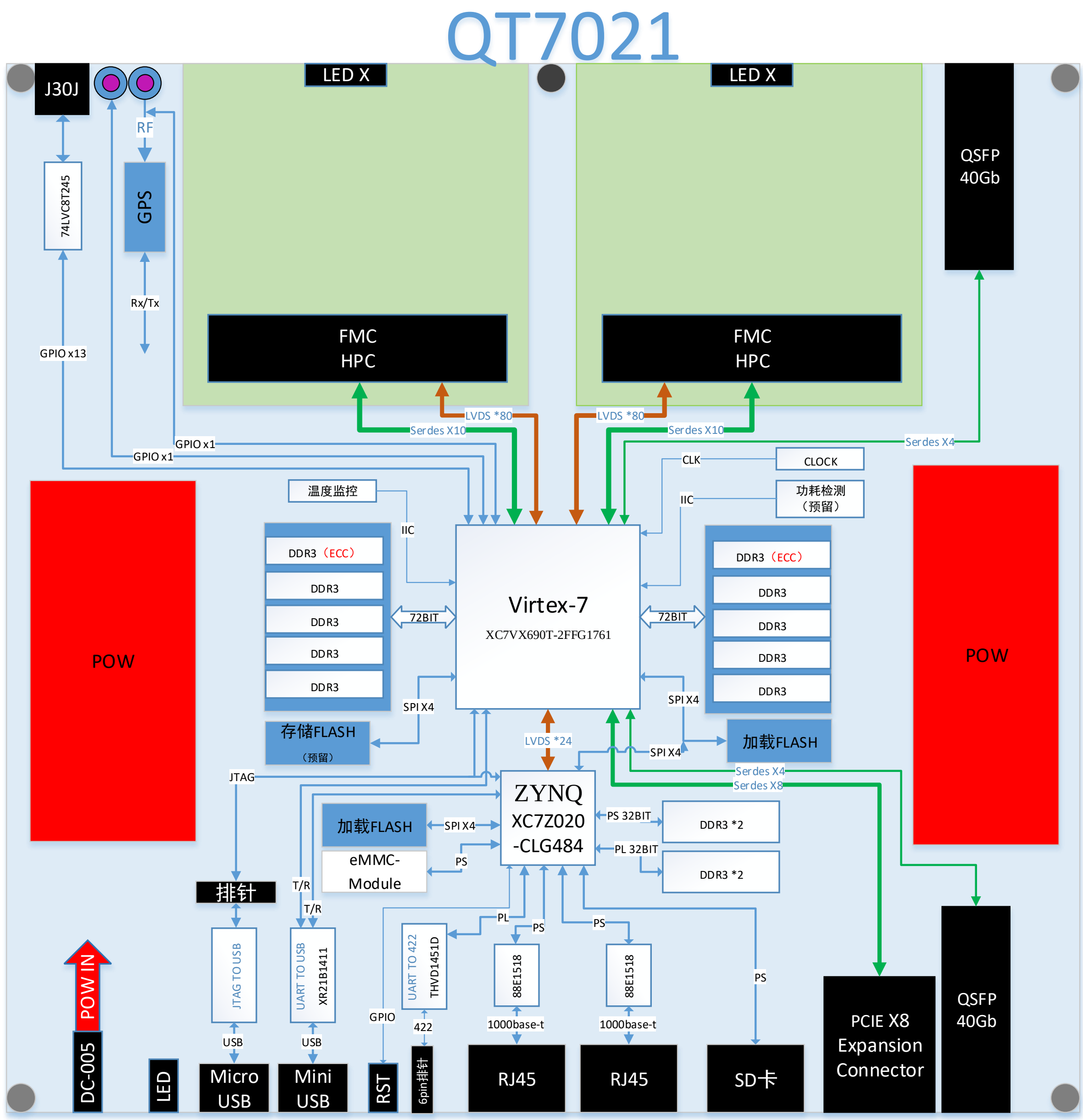
- FPGA 信号处理
- 实时多算法处理的在线测试验证
- 测试测量快速环境搭建
- 无线、国防应用

产品特性：

- 处理和计算 FPGA 默认为 XC7VX690T-2FFG1761，控制 FPGA 默认为 XC7Z020-CLG484，一起提供高性价比的丰富的逻辑资源；
- 2 种 FPGA 均可选择完全兼容的替代芯片；
- 提供 2 路 FMC 标准（VITA 57.1）子卡接口，每路包括 82 对高速差分线（含 2 对差分时钟线）、10 组共 20 对超高速 DP 差分对及 2 对超高速差分时钟线；

- XC7VX690T 搭配 2 组每组 5 颗 16bit /512MB 的 DDR3-1866 的 SDRAM（其中一颗作为 ECC 校验）和 1 颗 256Mb 的加载程序用的 SPI Flash；
- XC7Z020 的 PS 和 PL 分别搭配了 2 颗 16bit/512MB 的 DDR3-1866 的 SDRAM，PS 端还搭配了 1 颗 256Mb 的加载程序用的 SPI Flash；
- 板载 1 个 1.27 双排针（2*10）连接器，默认为 EMMC 接口，可配置成 GPIO/CAN/UART/IIC/SPI/PJTAG 等接口；
- 板载 1 个 Micro SD 接口；
- 支持 1 个 Mini USB 转 UART 串口和 1 个 6pin 的 422 串口；
- 支持 1 个 Micro USB 转 JTAG 调试接口和 1 个 6pin 的 JTAG 口；
- 1 个 J30J 形式的 13 路 GPIO 接口和 2 个 SSMC 形式的普通 IO 口（其中 1 个也可作为 RF 信号输入）；
- 板载 2 个 RJ45 千兆网口；
- 支持 2 个 QSFP+的光纤接口；
- 板载一个能支持 PCIe3.0 x8 的高速扩展口；
- 12V 直流供电接口；
- 支持风扇转速控制和温度检测功能；
- 通用驱动库及开发程序包，支持多种操作系统；

结构图


QT7021
J30J
RF
GPS
74LVC8T245
Rx/Tx
GPIO x13
GPIO x1
GPIO x1
LED X
LED X
FMC
HPC
FMC
HPC
QSFP
40Gb
LVDS *80
LVDS *80
Serdes X10
Serdes X10
Serdes X4
CLK
CLOCK
IIC
功耗检测
（预留）
温度监控
IIC
POW
POW
DDR3（ECC）
DDR3
DDR3
DDR3
DDR3
72BIT
Virtex-7
XC7VX690T-2FFG1761
72BIT
DDR3（ECC）
DDR3
DDR3
DDR3
DDR3
SPI X4
存储FLASH
（预留）
SPI X4
加载FLASH
LVDS *24
SPI X4
Serdes X4
Serdes X8
JTAG
ZYNQ
XC7Z020
-CLG484
加载FLASH
SPI X4
eMMC-
Module
PS
PS 32BIT
DDR3 *2
PL 32BIT
DDR3 *2
T/R
T/R
排针
PL
PS
PS
PS
JTAG TO USB
UART TO USB
XR21B1411
UART TO 422
THVD1451D
88E1518
88E1518
GPIO
422
1000base-t
1000base-t
USB
USB
POW IN
DC-005
LED
Micro
USB
Mini
USB
RST
6pin排针
RJ45
RJ45
SD卡
PCIE X8
Expansion
Connector
QSFP
40Gb

系统主要由FMC模块、FPGA处理和计算模块，FPGA控制模块、DDR存储模块、配置电路模块、电源模块以及其他接口模块等部分组成。FPGA处理和计算模块默认为XC7VX690T-2FFG1761，通过2组FMC接口向外部提供每组82对高速差分线（含2对差分时钟线）、10组共20对超高速DP差分对及2对超高速差分时钟线。FPGA控制模块默认为XC7Z020-CLG484，扇出eMMC、SD、千兆网、各种串口等。XC7VX690T的DDR存储模块共包含2组共10颗16bit/512MB的DDR3芯片（每组一颗作为ECC校验），总容量达到5GB；XC7Z020的PS和PL

分别搭配了2颗16bit/512MB的DDR3芯片，总容量为2GB。可支持各种FMC的功能子板的通信或采样数据，极大地提高了整个板卡的处理性能和能力。配置电路模块支持FPGA程序的多种在线下载方式和SPI FLASH的烧写，多种时钟的选择可以方便用户进行实时多算法处理的在线测试验证。丰富的接口可以满足大部分主流需求。

FPGA 资源:

XC7VX690T-2FFG1761，FFG1761pin 封装，资源丰富，性价比高；如需要其他选择，也可选择其他兼容 FPGA。可参考 Xilinx 官网或以下截图。

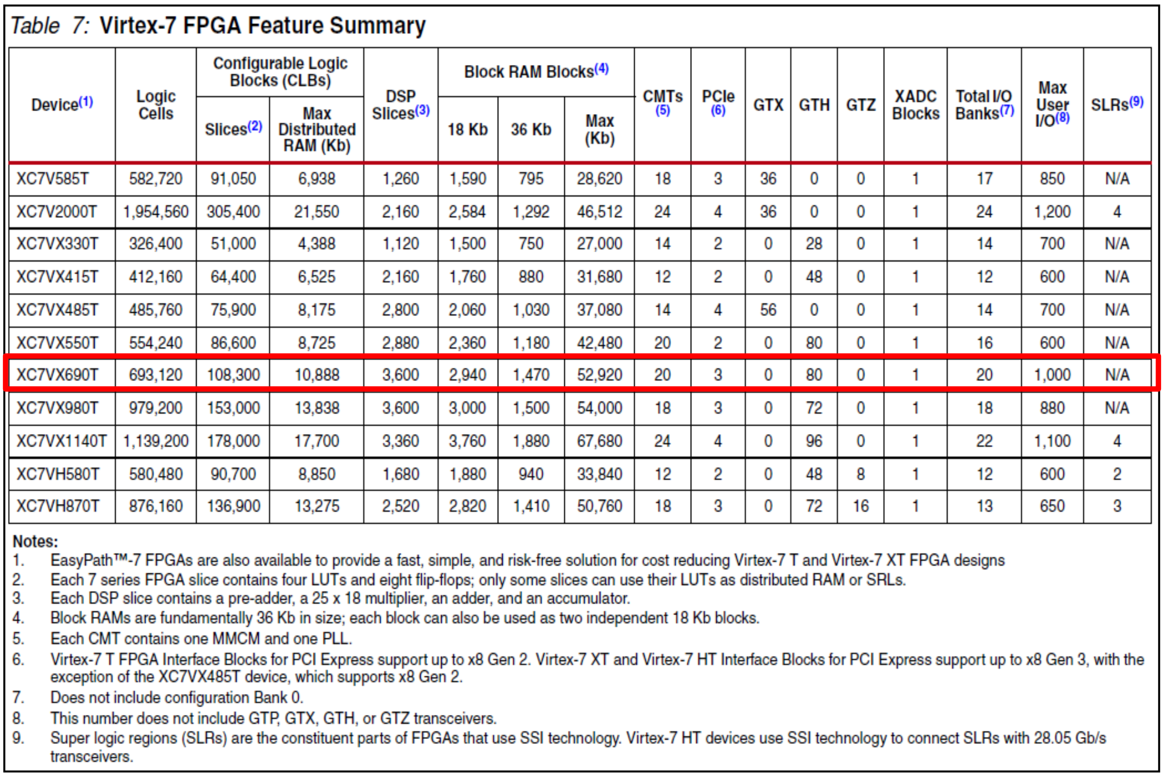


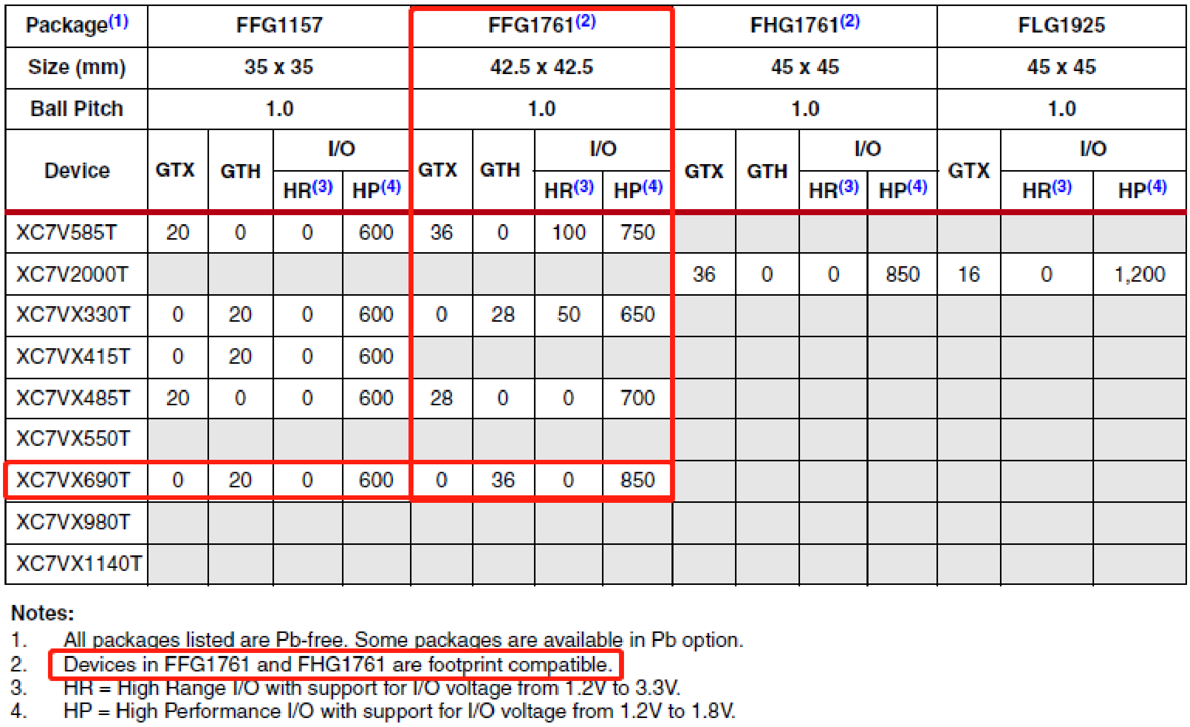
Table 7: **Virtex-7 FPGA Feature Summary**

Device[1]	Logic Cells	Configurable Logic Blocks (CLBs)		DSP Slices[3]	Block RAM Blocks[4]			CMTs[5]	PCIe[6]	GTX	GTH	GTZ	XADC Blocks	Total I/O Banks[7]	Max User I/O[8]	SLRs[9]
		Slices[2]	Max Distributed RAM (Kb)		18 Kb	36 Kb	Max (Kb)									
XC7V585T	582,720	91,050	6,938	1,260	1,590	795	28,620	18	3	36	0	0	1	17	850	N/A
XC7V2000T	1,954,560	305,400	21,550	2,160	2,584	1,292	46,512	24	4	36	0	0	1	24	1,200	4
XC7VX330T	326,400	51,000	4,388	1,120	1,500	750	27,000	14	2	0	28	0	1	14	700	N/A
XC7VX415T	412,160	64,400	6,525	2,160	1,760	880	31,680	12	2	0	48	0	1	12	600	N/A
XC7VX485T	485,760	75,900	8,175	2,800	2,060	1,030	37,080	14	4	56	0	0	1	14	700	N/A
XC7VX550T	554,240	86,600	8,725	2,880	2,360	1,180	42,480	20	2	0	80	0	1	16	600	N/A
XC7VX690T	693,120	108,300	10,888	3,600	2,940	1,470	52,920	20	3	0	80	0	1	20	1,000	N/A
XC7VX980T	979,200	153,000	13,838	3,600	3,000	1,500	54,000	18	3	0	72	0	1	18	880	N/A
XC7VX1140T	1,139,200	178,000	17,700	3,360	3,760	1,880	67,680	24	4	0	96	0	1	22	1,100	4
XC7VH580T	580,480	90,700	8,850	1,680	1,880	940	33,840	12	2	0	48	8	1	12	600	2
XC7VH870T	876,160	136,900	13,275	2,520	2,820	1,410	50,760	18	3	0	72	16	1	13	650	3

Notes:

1. EasyPath™-7 FPGAs are also available to provide a fast, simple, and risk-free solution for cost reducing Virtex-7 T and Virtex-7 XT FPGA designs
2. Each 7 series FPGA slice contains four LUTs and eight flip-flops; only some slices can use their LUTs as distributed RAM or SRLs.
3. Each DSP slice contains a pre-adder, a 25 x 18 multiplier, an adder, and an accumulator.
4. Block RAMs are fundamentally 36 Kb in size; each block can also be used as two independent 18 Kb blocks.
5. Each CMT contains one MMCM and one PLL.
6. Virtex-7 T FPGA Interface Blocks for PCI Express support up to x8 Gen 2. Virtex-7 XT and Virtex-7 HT Interface Blocks for PCI Express support up to x8 Gen 3, with the exception of the XC7VX485T device, which supports x8 Gen 2.
7. Does not include configuration Bank 0.
8. This number does not include GTP, GTX, GTH, or GTZ transceivers.
9. Super logic regions (SLRs) are the constituent parts of FPGAs that use SSI technology. Virtex-7 HT devices use SSI technology to connect SLRs with 28.05 Gb/s transceivers.

Table 8: **Virtex-7 FPGA Device-Package Combinations and Maximum I/Os**



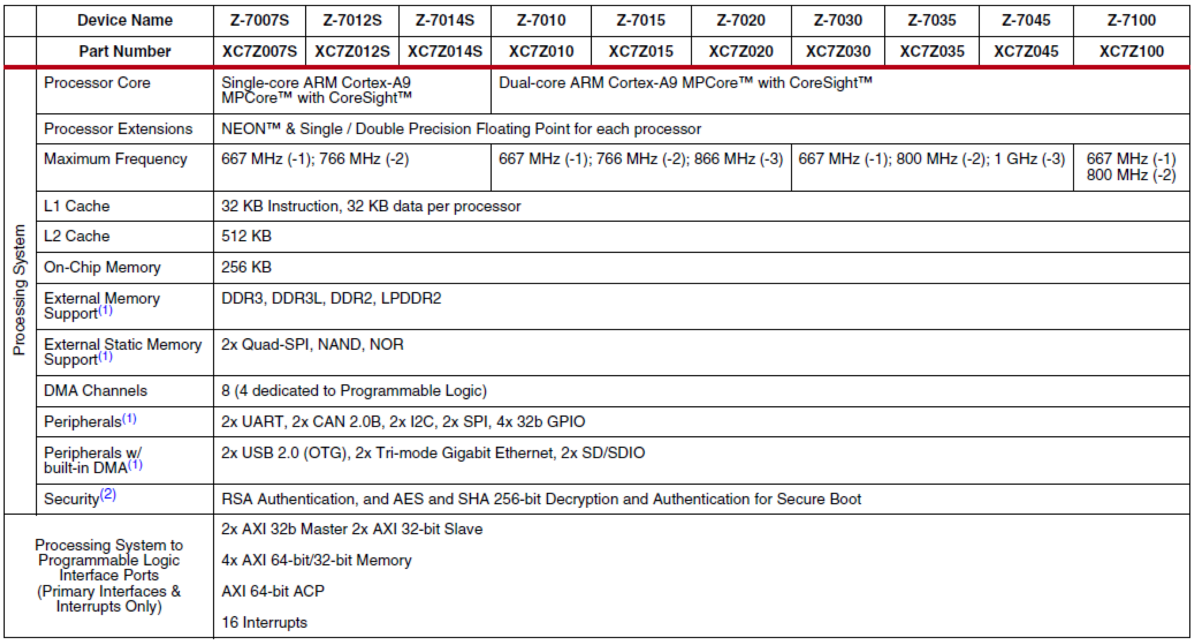
Package(1)	FFG1157				FFG1761(2)				FHG1761(2)				FLG1925		
Size (mm)	35 x 35				42.5 x 42.5				45 x 45				45 x 45		
Ball Pitch	1.0				1.0				1.0				1.0		
Device	GTX	GTH	I/O		GTX	GTH	I/O		GTX	GTH	I/O		GTX	I/O	
			HR(3)	HP(4)			HR(3)	HP(4)			HR(3)	HP(4)		HR(3)	HP(4)
XC7V585T	20	0	0	600	36	0	100	750							
XC7V2000T									36	0	0	850	16	0	1,200
XC7VX330T	0	20	0	600	0	28	50	650							
XC7VX415T	0	20	0	600											
XC7VX485T	20	0	0	600	28	0	0	700							
XC7VX550T															
XC7VX690T	0	20	0	600	0	36	0	850							
XC7VX980T															
XC7VX1140T															

Notes:

1. All packages listed are Pb-free. Some packages are available in Pb option.
2. Devices in FFG1761 and FHG1761 are footprint compatible.
3. HR = High Range I/O with support for I/O voltage from 1.2V to 3.3V.
4. HP = High Performance I/O with support for I/O voltage from 1.2V to 1.8V.

XC7Z020-CLG484 为 ZYNQ 家族的一员，包含 PS（Processing System）和 PL（Programmable Logic）部分，PS 内含一个 Dual-core ARM Cortex-A9 MPCore，PL 内含可编程 IO 模块、可配置逻辑模块、各种接口模块、系统监控模块等。如需要其他选择，也可选择其他兼容 FPGA。可参考 Xilinx 官网或以下截图。

Table 1: **Zynq-7000 and Zynq-7000S All Programmable SoCs**



	Device Name	Z-7007S	Z-7012S	Z-7014S	Z-7010	Z-7015	Z-7020	Z-7030	Z-7035	Z-7045	Z-7100
	Part Number	XC7Z007S	XC7Z012S	XC7Z014S	XC7Z010	XC7Z015	XC7Z020	XC7Z030	XC7Z035	XC7Z045	XC7Z100
Processing System	Processor Core	Single-core ARM Cortex-A9 MPCore™ with CoreSight™			Dual-core ARM Cortex-A9 MPCore™ with CoreSight™						
	Processor Extensions	NEON™ & Single / Double Precision Floating Point for each processor									
	Maximum Frequency	667 MHz (-1); 766 MHz (-2)			667 MHz (-1); 766 MHz (-2); 866 MHz (-3)			667 MHz (-1); 800 MHz (-2); 1 GHz (-3)			667 MHz (-1) 800 MHz (-2)
	L1 Cache	32 KB Instruction, 32 KB data per processor									
	L2 Cache	512 KB									
	On-Chip Memory	256 KB									
	External Memory Support(1)	DDR3, DDR3L, DDR2, LPDDR2									
	External Static Memory Support(1)	2x Quad-SPI, NAND, NOR									
	DMA Channels	8 (4 dedicated to Programmable Logic)									
	Peripherals(1)	2x UART, 2x CAN 2.0B, 2x I2C, 2x SPI, 4x 32b GPIO									
	Peripherals w/ built-in DMA(1)	2x USB 2.0 (OTG), 2x Tri-mode Gigabit Ethernet, 2x SD/SDIO									
	Security(2)	RSA Authentication, and AES and SHA 256-bit Decryption and Authentication for Secure Boot									
Processing System to Programmable Logic Interface Ports (Primary Interfaces & Interrupts Only)		2x AXI 32b Master 2x AXI 32-bit Slave 4x AXI 64-bit/32-bit Memory AXI 64-bit ACP 16 Interrupts									

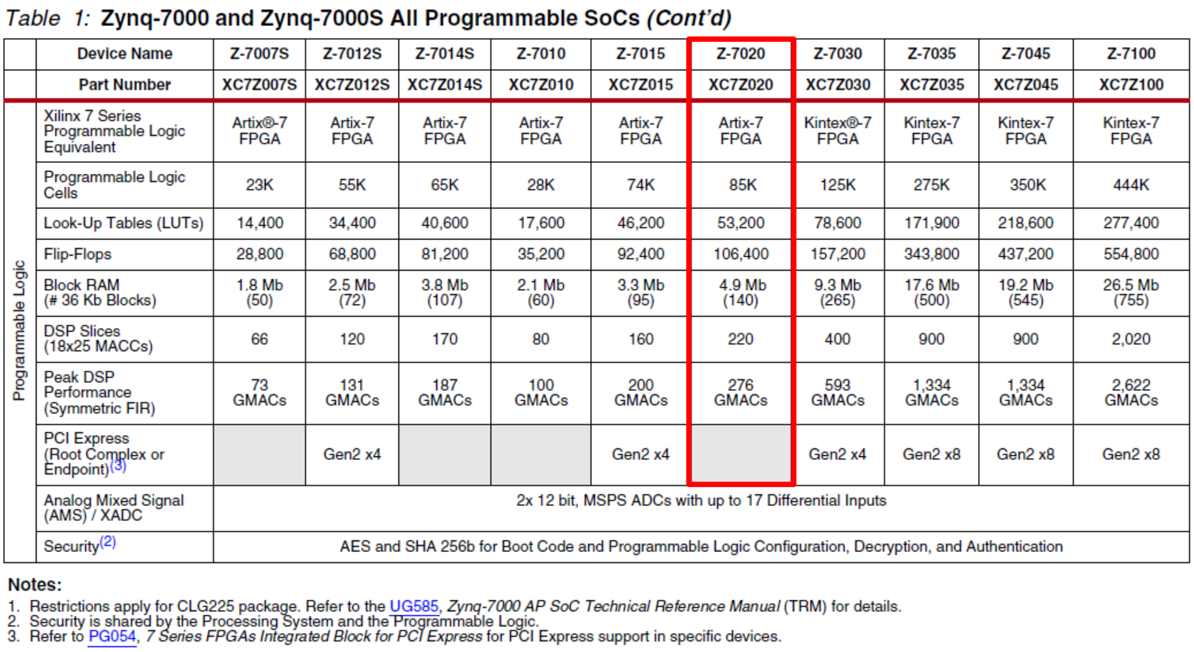


Table 1: **Zynq-7000 and Zynq-7000S All Programmable SoCs *(Cont'd)***

	Device Name	**Z-7007S**	**Z-7012S**	**Z-7014S**	**Z-7010**	**Z-7015**	**Z-7020**	**Z-7030**	**Z-7035**	**Z-7045**	**Z-7100**
	Part Number	**XC7Z007S**	**XC7Z012S**	**XC7Z014S**	**XC7Z010**	**XC7Z015**	**XC7Z020**	**XC7Z030**	**XC7Z035**	**XC7Z045**	**XC7Z100**
Programmable Logic	Xilinx 7 Series Programmable Logic Equivalent	Artix®-7 FPGA	Artix-7 FPGA	Artix-7 FPGA	Artix-7 FPGA	Artix-7 FPGA	Artix-7 FPGA	Kintex®-7 FPGA	Kintex-7 FPGA	Kintex-7 FPGA	Kintex-7 FPGA
	Programmable Logic Cells	23K	55K	65K	28K	74K	85K	125K	275K	350K	444K
	Look-Up Tables (LUTs)	14,400	34,400	40,600	17,600	46,200	53,200	78,600	171,900	218,600	277,400
	Flip-Flops	28,800	68,800	81,200	35,200	92,400	106,400	157,200	343,800	437,200	554,800
	Block RAM (# 36 Kb Blocks)	1.8 Mb (50)	2.5 Mb (72)	3.8 Mb (107)	2.1 Mb (60)	3.3 Mb (95)	4.9 Mb (140)	9.3 Mb (265)	17.6 Mb (500)	19.2 Mb (545)	26.5 Mb (755)
	DSP Slices (18x25 MACCs)	66	120	170	80	160	220	400	900	900	2,020
	Peak DSP Performance (Symmetric FIR)	73 GMACs	131 GMACs	187 GMACs	100 GMACs	200 GMACs	276 GMACs	593 GMACs	1,334 GMACs	1,334 GMACs	2,622 GMACs
	PCI Express (Root Complex or Endpoint)(3)		Gen2 x4			Gen2 x4		Gen2 x4	Gen2 x8	Gen2 x8	Gen2 x8
	Analog Mixed Signal (AMS) / XADC	2x 12 bit, MSPS ADCs with up to 17 Differential Inputs									
	Security(2)	AES and SHA 256b for Boot Code and Programmable Logic Configuration, Decryption, and Authentication									

Notes:

1. Restrictions apply for CLG225 package. Refer to the UG585, *Zynq-7000 AP SoC Technical Reference Manual* (TRM) for details.
2. Security is shared by the Processing System and the Programmable Logic.
3. Refer to PG054, *7 Series FPGAs Integrated Block for PCI Express* for PCI Express support in specific devices.

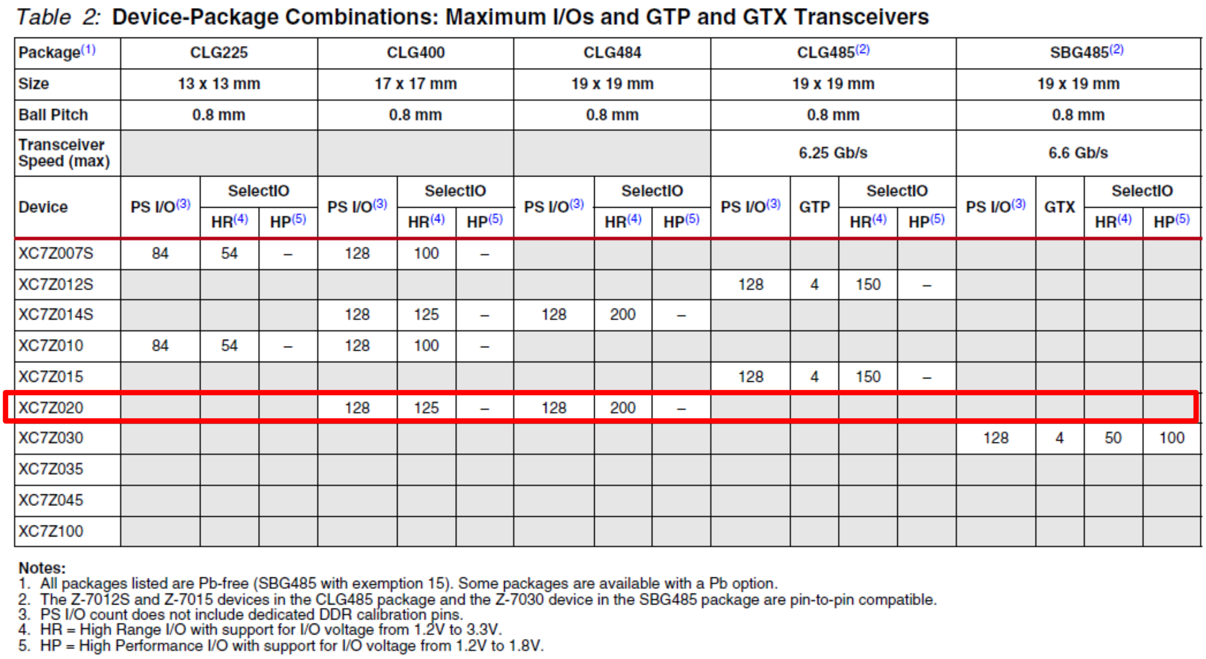


Table 2: **Device-Package Combinations: Maximum I/Os and GTP and GTX Transceivers**

Package(1)	**CLG225**			**CLG400**			**CLG484**			**CLG485(2)**				**SBG485(2)**			
Size	**13 x 13 mm**			**17 x 17 mm**			**19 x 19 mm**			**19 x 19 mm**				**19 x 19 mm**			
Ball Pitch	**0.8 mm**			**0.8 mm**			**0.8 mm**			**0.8 mm**				**0.8 mm**			
Transceiver Speed (max)										**6.25 Gb/s**				**6.6 Gb/s**			
Device	**PS I/O(3)**	**SelectIO**		**PS I/O(3)**	**SelectIO**		**PS I/O(3)**	**SelectIO**		**PS I/O(3)**	**GTP**	**SelectIO**		**PS I/O(3)**	**GTX**	**SelectIO**	
		HR(4)	**HP(5)**		**HR(4)**	**HP(5)**		**HR(4)**	**HP(5)**			**HR(4)**	**HP(5)**			**HR(4)**	**HP(5)**
XC7Z007S	84	54	–	128	100	–											
XC7Z012S										128	4	150	–				
XC7Z014S				128	125	–	128	200	–								
XC7Z010	84	54	–	128	100	–											
XC7Z015										128	4	150	–				
XC7Z020				128	125	–	128	200	–								
XC7Z030														128	4	50	100
XC7Z035																	
XC7Z045																	
XC7Z100																	

Notes:

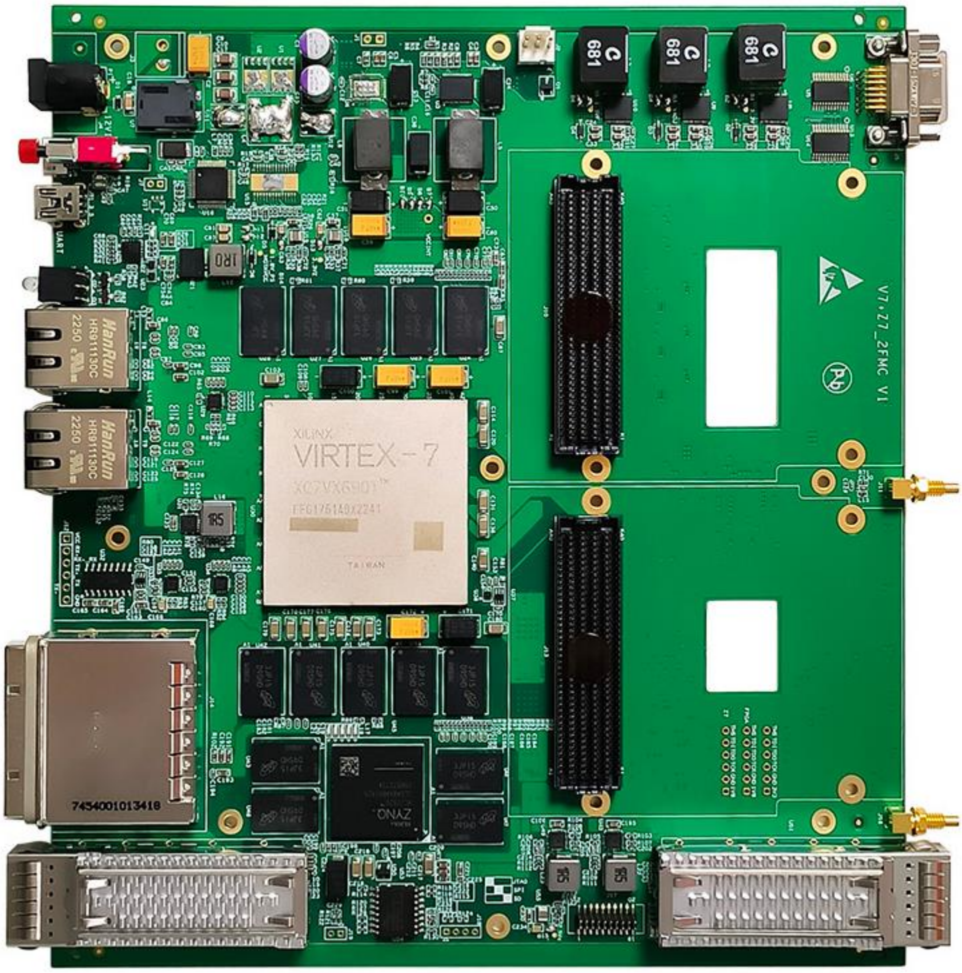
1. All packages listed are Pb-free (SBG485 with exemption 15). Some packages are available with a Pb option.
2. The Z-7012S and Z-7015 devices in the CLG485 package and the Z-7030 device in the SBG485 package are pin-to-pin compatible.
3. PS I/O count does not include dedicated DDR calibration pins.
4. HR = High Range I/O with support for I/O voltage from 1.2V to 3.3V.
5. HP = High Performance I/O with support for I/O voltage from 1.2V to 1.8V.

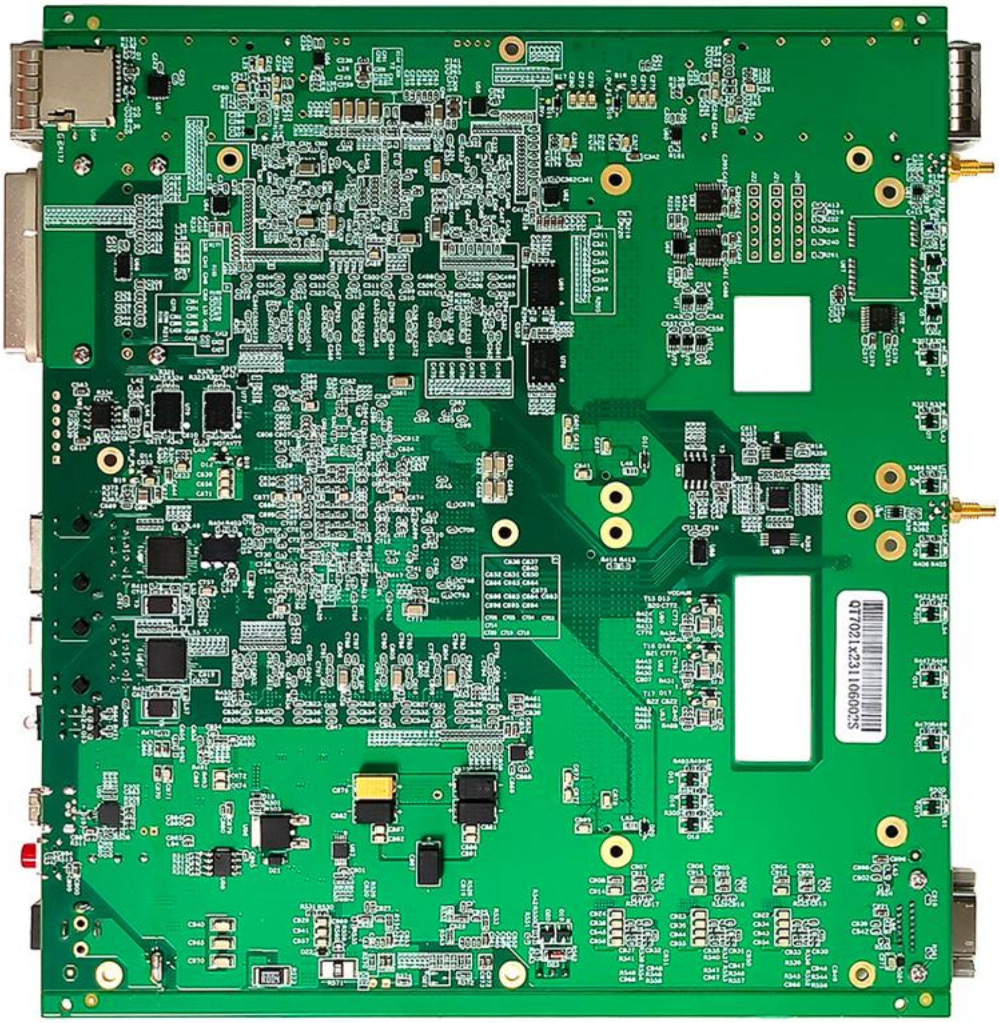
其他支持：

- 硬件、设计工具、 IP、以及预验证参考设计；
- 支持嵌入式设计和上位机设计；
- 支持 DDR3 接口，千兆网，QSFP+接口等 IP 的例程；
- 支持 Windows 驱动，Linux 驱动；

- 可插接大部分符合VITA57规范的FMC子卡；
- 可提供FMC子卡演示程序。

实物图：





订货

版本	商业级	工业级
QT7021	QT7021-C	QT7021-I