

QT7024

基于 Zynq UltraScale+ 的 高性能 FMC/FMC+ 载板



产品数据手册 (datasheet)

简介

QT7024 板卡是一款高性能的 FMC/FMC+载板。板载 1 个 HPC 形式的 FMC 连接器和 1 个 HSPC 形式的 FMC+连接器。板卡选用了 1 片 Zynq UltraScale+ MPSoC 家族的 XCZU19EG-2FFVC1760 芯片作为主控。其 PS 和 PL 各搭配 1 组 9 颗 8bit 1GB 的 DDR4-2400 的 SDRAM（其中一颗作为 ECC 校验），PS 端还搭配了 2 颗 512Mb 的 SPI Flash。板卡还支持其他丰富的各种接口，一个 M.2 的 SATA SSD 接口，一个 eMMC 接口（也可配置成其他接口），一个 Micro SD 卡槽，一个标准 RJ45 的千兆网口，一个 Mini USB 转接 UART 接口，1 个 Micro USB 转接 JTAG 下载口，1 个 SSMC 形式的外部时钟输入接口，一个 USB3.0 接口，一个 DB9 串口，一个 4pin 的 CAN BUS 接口，一个 Mini DP 输出口。2 个 QSFP28

（zQSFP+）的光纤口，1 个 J30J 形式的 13 路 3.3V 标准 GPIO 接口，1 个 SSMC 的普通 IO 口（也可作为 RF 信号输入），和 1 个 8pin 排针形式的 PS 端预留的 6 路 1.8V 的 IO 扩展口，可定义为 GPIO/CAN/UART/IIC/SPI/PJTAG 等接口。还有一个高速扩展口，可以支持 x8 的 PCIe 3.0 协议，SRIO 或者 AURORA 协议。

QT7024 通过 1 个 HPC 的标准 FMC（VITA 57.1）接口和 1 个 HSPC 形式的 FMC+（VITA57.4）接口向外部提供丰富、高速且可配置的数字 I/O 资源，其中 FMC 可提供 72 对高速差分线（含 2 对差分时钟线）、8 组共 16 对超高速 DP 差分对及 2 对超高速差分时钟线；FMC+可提供 84 对高速差分线（含 4 对差分时钟线）、1 组共 2 对参考时钟线、1 组共 2 对同步时钟线、24 组共 48 对超高速 DP 差分对及 6 对超高速差分时钟线。客户可以根据应用需求灵活地选择 FMC 子卡或者 FMC+子卡，比如 ADC 子卡、DAC 子卡以及光纤子卡等。同时可支持 Windows, Linux 上位

机驱动。便于构建灵活、高效的开发及使用环境。

应用：

- FPGA 信号处理
- 实时多算法处理的在线测试验证
- 测试测量快速环境搭建
- 无线、国防应用

产品特性：

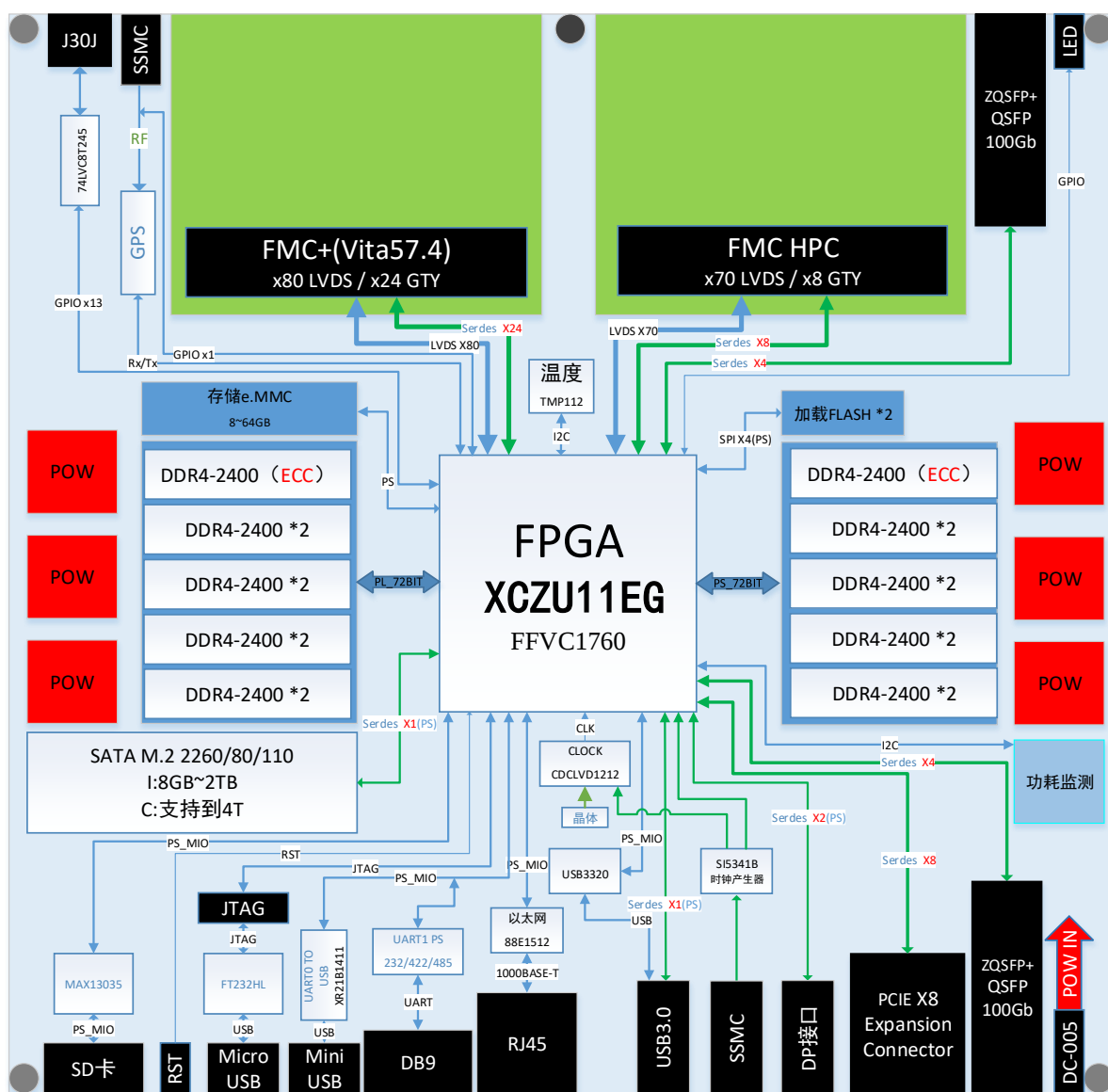
- FPGA 默认为 XCZU19EG-2FFVC1760，提供高性价比的丰富的逻辑资源；
- FPGA 也可根据需要选择 XCZU17EG-FFVC1760 或者 XCZU11EG-FFVC1760；
- 提供 1 路 FMC 标准（VITA 57.1）子卡接口，包括 72 对高速差分线（含 2 对差分时钟线）、8 组共 16 对超高速 DP 差分对及 2 对超高速差分时钟线；
- 提供 1 路 FMC+标准（VITA 57.4）子卡接口，包括 84 对高速差分线（含 4 对差分时钟线）、1 组共 2 对参考时钟线、1 组共 2 对同步时钟线、24 组共 48 对超高速 DP 差分对及 6 对超高速差分时钟线；
- 板载 2 组共 16+2GB 2400 的高速 DDR4 缓存，单组最高可支持 32+4GB；
- 板载 2 颗 4bit 512Mb 的 SPI Flash 组配成 8bit 加载程序；
- 板载 1 个 2x10 形式的 eMMC 接口（可配置成其他接口）；
- 板载 1 个 Micro SD 接口；
- 支持 Mini USB 转 UART 串口通信；
- 支持 Micro USB 转 JTAG 调试接口；
- 板载 1 个 DB9 形式的串口；一个 4pin 的 CAN BUS 接口；

- 1 个 J30J 形式的 13 路 GPIO 接口；1 个 8pin 的 6 路 IO 扩展口（可配置成其他接口）；1 个 SSMC 的普通 IO 口（也可作为 RF 信号输入）；
- 一个 M.2 的 SATA SSD 接口，长度支持 2260/2280/22110；
- 一个 Mini DP 接口；
- 一个 RJ45 千兆网口；
- 一个 USB3.0 接口；
- 一个 SSMC 形式的外部时钟输入接口；
- 2 个能稳定支持到最快 64Gbps 的 QSFP28（zQSFP+）接口；
- 板载一个能支持 x8 的 PCIe 3.0 协议，SRIO 或者 AURORA 协议的高速扩展口；
- 12V 直流供电接口；
- 支持功耗和温度检测功能；
- 通用驱动库及开发程序包，支持多种操作系统；

客户价值:

- 高性价比。
- 缩短开发周期
- 丰富的接口与 FPGA 资源
- 易于二次开发
- 易于搭建

结构图



系统主要由 FMC 和 FMC+模块、FPGA 控制模块、DDR 存储模块、配置电路模块、电源模块以及其他接口模块等部分组成。FPGA 控制模块默认为 XCZU19EG-2FFVC1760，通过 FMC 接口向外部提供 72 对高速差分线（含 2 对差分时钟线）、8 组共 16 对超高速 DP 差分对及 2 对超高速差分时钟线。通过一个 FMC+标准（VITA 57.4）子卡接口向外部提供包括 84 对高速差分线（含 4 对差分时钟线）、1 组共 2 对参考时钟线、1 组共 2 对同步时钟线、24 组共 48 对超高速 DP 差分对及 6 对超高速差分时钟线。DDR 存储模块共包含 2 组共 18 颗 8bit/1GB 的 DDR4 芯片（每组一颗作为 ECC 校验），总容量达到 18GB，可支持各种 FMC+和

FMC 的功能子板的通信或采样数据，极大地提高了整个板卡的处理性能和能力。配置电路模块支持 FPGA 程序的在线下载和 SPI FLASH 的烧写，多种时钟的选择可以方便用户进行实时多算法处理的在线测试验证。丰富的接口可以满足大部分主流需求。

FPGA 资源:

XCZU19EG-2FFVC1760, FFVC1760pin 封装，资源丰富，性价比高；如需要其他选择，也可选择 XCZU17EG-FFVC1760 或者 XCZU19EG-FFVC1760。各芯片的资源对比可参考以下截图。

Table 3: Zynq UltraScale+ MPSoC: EG Device Feature Summary

	ZU2EG	ZU3EG	ZU4EG	ZU5EG	ZU6EG	ZU7EG	ZU9EG	ZU11EG	ZU15EG	ZU17EG	ZU19EG
Application Processing Unit	Quad-core ARM Cortex-A53 MPCore with CoreSight; NEON & Single/Double Precision Floating Point; 32KB/32KB L1 Cache, 1MB L2 Cache										
Real-Time Processing Unit	Dual-core ARM Cortex-R5 with CoreSight; Single/Double Precision Floating Point; 32KB/32KB L1 Cache and TCM										
Embedded and External Memory	256KB On-Chip Memory w/ECC; External DDR4; DDR3; DDR4L; LPDDR4; LPDDR3; External Quad-SPI; NAND; eMMC										
General Connectivity	214 PS I/O; UART; CAN; USB 2.0; I2C; SPI; 32b GPIO; Real Time Clock; WatchDog Timers; Triple Timer Counters										
High-Speed Connectivity	4 PS-GTR; PCIe Gen1/2; Serial ATA 3.1; DisplayPort 1.2; USB 3.0; SGMII										
Graphic Processing Unit	ARM Mali™-400 MP2; 64KB L2 Cache										
System Logic Cells	103,320	154,350	192,150	256,200	469,446	504,000	599,550	653,100	746,550	926,194	1,143,450
CLB Flip-Flops	94,464	141,120	175,680	234,240	429,208	460,800	548,160	597,120	682,560	846,806	1,045,440
CLB LUTs	47,232	70,560	87,840	117,120	214,604	230,400	274,080	298,560	341,280	423,403	522,720
Distributed RAM (Mb)	1.2	1.8	2.6	3.5	6.9	6.2	8.8	9.1	11.3	8.0	9.8
Block RAM Blocks	150	216	128	144	714	312	912	600	744	796	984
Block RAM (Mb)	5.3	7.6	4.5	5.1	25.1	11.0	32.1	21.1	26.2	28.0	34.6
UltraRAM Blocks	0	0	48	64	0	96	0	80	112	102	128
UltraRAM (Mb)	0	0	13.5	18.0	0	27.0	0	22.5	31.5	28.7	36.0
DSP Slices	240	360	728	1,248	1,973	1,728	2,520	2,928	3,528	1,590	1,968
CMTs	3	3	4	4	4	8	4	8	4	11	11
Max. HP I/O ⁽¹⁾	156	156	156	156	208	416	208	416	208	572	572
Max. HD I/O ⁽²⁾	96	96	96	96	120	48	120	96	120	96	96
System Monitor	2	2	2	2	2	2	2	2	2	2	2
GTH Transceiver 16.3Gb/s ⁽³⁾	0	0	16	16	24	24	24	32	24	44	44
GTY Transceivers 32.75Gb/s	0	0	0	0	0	0	0	16	0	28	28
Transceiver Fractional PLLs	0	0	8	8	12	12	12	24	12	36	36
PCIe Gen3 x16 and Gen4 x8	0	0	2	2	0	2	0	4	0	4	5
150G Interlaken	0	0	0	0	0	0	0	1	0	2	4
100G Ethernet w/ RS-FEC	0	0	0	0	0	0	0	2	0	2	4

Notes:

1. HP = High-performance I/O with support for I/O voltage from 1.0V to 1.8V.
2. HD = High-density I/O with support for I/O voltage from 1.2V to 3.3V.
3. GTH transceivers in the SFVC784 package support data rates up to 12.5Gb/s. See Table 4.

High-Speed Serial Transceivers

Serial data transmission between devices on the same PCB, over backplanes, and across even longer distances is becoming increasingly important for scaling to 100Gb/s and 400Gb/s line cards. Specialized dedicated on-chip circuitry and differential I/O capable of coping with the signal integrity issues are required at these high data rates.

Four types of transceivers are used in the UltraScale architecture: GTH, GTY, and GTM in FPGAs, GTH and GTY in the PL in MPSoCs and RFSocS, and PS-GTR in the PS of MPSoCs and RFSocS. All transceivers are arranged in groups of four, known as a transceiver Quad. Each serial transceiver is a combined transmitter and receiver. Table 21 compares the available transceivers.

Table 21: Transceiver Information

	Kintex UltraScale		Kintex UltraScale+		Virtex UltraScale		Virtex UltraScale+		Zynq UltraScale+ MPSoCs and RFSocS		
Type	GTH	GTY	GTH	GTY	GTH	GTY	GTY	GTM	PS-GTR	GTH	GTY
Qty	16-64	0-32	20-60	0-60	20-60	0-60	40-128	0-48	4	0-44	0-28
Max. Data Rate	16.3Gb/s	16.3Gb/s	16.3Gb/s	32.75Gb/s	16.3Gb/s	30.5Gb/s	32.75Gb/s	58.0Gb/s	6.0Gb/s	16.3Gb/s	32.75Gb/s
Min. Data Rate	0.5Gb/s	0.5Gb/s	0.5Gb/s	0.5Gb/s	0.5Gb/s	0.5Gb/s	0.5Gb/s	9.8Gb/s	1.25Gb/s	0.5Gb/s	0.5Gb/s
Key Apps	• Backplane • HMC	• Backplane • HMC	• Backplane • HMC	• 100G+ Optics • Chip-to-Chip • 25G+ Backplane • HMC	• Backplane • HMC	• 100G+ Optics • Chip-to-Chip • 25G+ Backplane • HMC	• 100G+ Optics • Chip-to-Chip • 25G+ Backplane • HMC	• 50G • 100G • 200G • 400G • OTU	• PCIe Gen2 • USB • Ethernet	• Backplane • HMC	• 100G+ Optics • Chip-to-Chip • 25G+ Backplane • HMC

Table 4: Zynq UltraScale+ MPSoC: EG Device-Package Combinations and Maximum I/Os

Package (1)(2)(3)(4)(5)	Package Dimensions (mm)	ZU2EG	ZU3EG	ZU4EG	ZU5EG	ZU6EG	ZU7EG	ZU9EG	ZU11EG	ZU15EG	ZU17EG	ZU19EG
		HD, HP GTH, GTY	HD, HP GTH, GTY	HD, HP GTH, GTY	HD, HP GTH, GTY	HD, HP GTH, GTY	HD, HP GTH, GTY	HD, HP GTH, GTY	HD, HP GTH, GTY	HD, HP GTH, GTY	HD, HP GTH, GTY	HD, HP GTH, GTY
SBVA484 ⁽⁶⁾	19x19	24, 58 0, 0	24, 58 0, 0									
SFVA625	21x21	24, 156 0, 0	24, 156 0, 0									
SFVC784 ⁽⁷⁾	23x23	96, 156 0, 0	96, 156 0, 0	96, 156 4, 0	96, 156 4, 0							
FBVB900	31x31			48, 156 16, 0	48, 156 16, 0		48, 156 16, 0					
FFVC900	31x31					48, 156 16, 0		48, 156 16, 0		48, 156 16, 0		
FFVB1156	35x35					120, 208 24, 0		120, 208 24, 0		120, 208 24, 0		
FFVC1156	35x35						48, 312 20, 0		48, 312 20, 0			
FFVB1517	40x40								72, 416 16, 0		72, 572 16, 0	72, 572 16, 0
FFVF1517	40x40						48, 416 24, 0		48, 416 32, 0			
FFVC1760	42.5x42.5								96, 416 32, 16		96, 416 32, 16	96, 416 32, 16
FFVD1760	42.5x42.5										48, 260 44, 28	48, 260 44, 28
FFVE1924	45x45										96, 572 44, 0	96, 572 44, 0

Notes:

- Go to [Ordering Information](#) for package designation details.⁽⁵⁾
- FB/FF packages have 1.0mm ball pitch. SB/SF packages have 0.8mm ball pitch.
- All device package combinations bond out 4 PS-GTR transceivers.
- All device package combinations bond out 214 PS I/O except ZU2EG and ZU3EG in the SBVA484 and SFVA625 packages, which bond out 170 PS I/Os.
- Packages with the same last letter and number sequence, e.g., A484, are footprint compatible with all other UltraScale devices with the same sequence. The footprint compatible devices within this family are outlined.
- All 58 HP I/O pins are powered by the same V_{CC0} supply.
- GTH transceivers in the SFVC784 package support data rates up to 12.5Gb/s.

Zynq UltraScale+ MPSoC 包含 PS (Processing System) 和 PL (Programmable Logic) 部分, PS 又分为 APU 和 RPU 部分, 请参考以下截图。APU (Application Processing Unit) 内含一个 Quad-core ARM Cortex-A53 MPCore, RPU (Real-Time Processing Unit) 内含一个 Dual-core ARM Cortex-R5, 分别对应不同的功能需求。PL 内含可编程 I/O 模块、可配置逻辑模块、存储和信号处理模块、PCIe 模块、系统监控模块等。XCZU17EG-FFVC1760 和 XCZU19EG-FFVC1760 可完全兼容

XCZU11EG-2FFVC1760，客户可以根据需要的资源情况提前告知。

Processing System Overview

Zynq UltraScale+ MPSoCs and RFSocS feature dual and quad core variants of the Arm Cortex-A53 (APU) with dual-core Arm Cortex-R5F (RPU) processing system (PS). Some devices also include a dedicated Arm Mali™-400 MP2 graphics processing unit (GPU). See [Table 2](#).

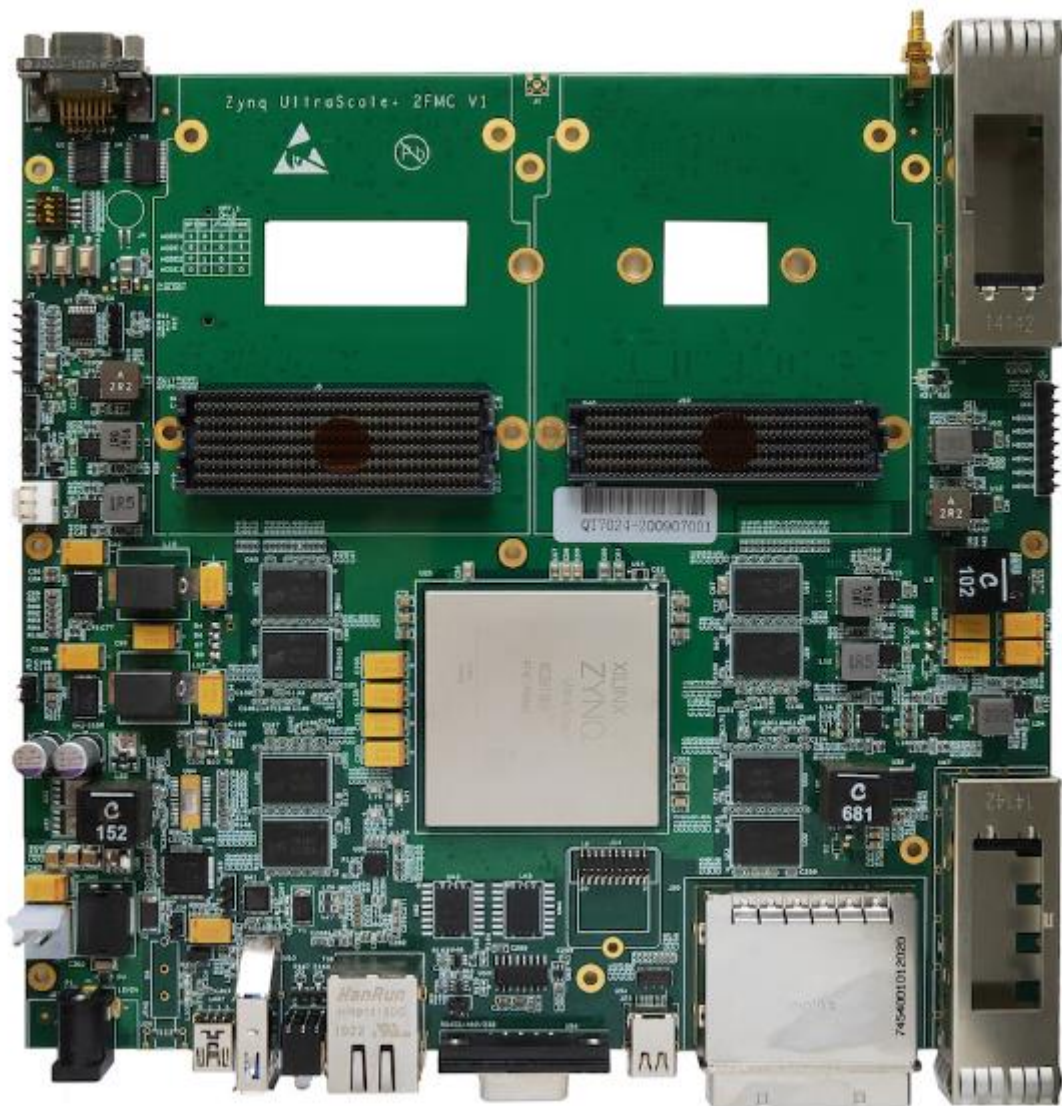
Table 2: Zynq UltraScale+ MPSoC and RFSoc Device Features

	MPSoC		RFSoc	
	CG Devices	EG Devices	EV Devices	DR Devices
APU	Dual-core Arm Cortex-A53	Quad-core Arm Cortex-A53	Quad-core Arm Cortex-A53	Quad-core Arm Cortex-A53
RPU	Dual-core Arm Cortex-R5F	Dual-core Arm Cortex-R5F	Dual-core Arm Cortex-R5F	Dual-core Arm Cortex-R5F
GPU	–	Mali-400MP2	Mali-400MP2	–
VCU	–	–	H.264/H.265	–

其他支持：

- 硬件、设计工具、 IP、以及预验证参考设计；
- 演示嵌入式设计，面向视频通道；
- 支持 DDR4 接口，DP 接口，QSFP28（zQSFP+）接口等 IP 的例程；
- 支持 Windows 驱动，Linux 驱动；
- 可插接大部分符合 VITA57 规范的 FMC 或者 FMC+子卡；
- 可提供 FMC 和 FMC+子卡演示程序。

实物图：



订货

① ② ③

QT7024A-I-11E

- ①: DDR容量, A/B/C,
A为8+1G, B为16+2G, C为32+4G, 空白默认为A
- ②: 温度范围, C或者I, 空白默认为I
- ③: 主芯片型号, 11E/17E/19E,
空白默认为XCZU19EG-2FFVC1760I