

QT7135xZ
FMC AD 子卡
16bit 4 通道 1.0G/500MSPS

产品手册
Ver.2020.12.18



简介

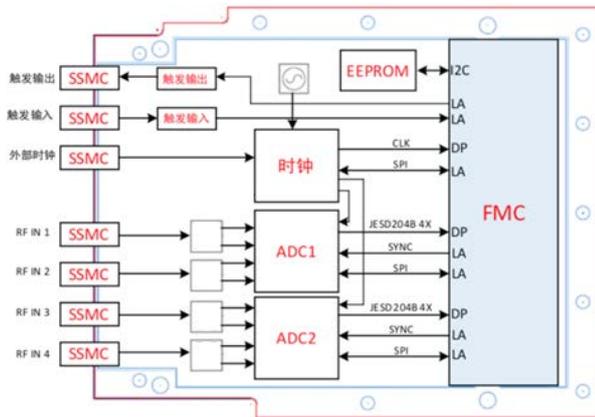
QT7135xZ 是一款高分辨率、高采样率的 ADC FMC 子板。它提供 4 路 16 位 1G/500MSPS 的 A/D 通道，模拟输入带宽可达 500MHz。本产品是基于 TI 公司 ADS54J60/ ADS54J69 模数转换芯片而设计。板卡支持外部同步触发输入和输出；时钟模式支持内部参考时钟、外部参考 / 采样时钟输入等多种模式，时钟选择可通过 SPI 总线配置实现。

QT7135xZ 板卡的电气与机械设计依据 FMC 标准 (ANSI/VITA 57.1)，通过一个高密度连接器 (HPC) 连接至 FPGA 载板。前面板装配了 7 个 SSMC 同轴连接器。QT7135xZ 支持导热结构，可适应于坤驰的多种 FPGA 载板，如 QT7010、QT7011、QT7020、QT3011 及 Xilinx 和 Altera 等通用载板，以进行高性能的算法计算。

应用

- 软件无线电
- 宽带 MIMO 应用
- 数字波束成形
- (雷达 / 声纳) 电子战
- 物理实验
- 信号智能
- 航空航天和测试仪器

原理框图



前面板



前面板连接器描述

序号	标示符	说明
1	IN1	ADC 输入通道 1
2	IN2	ADC 输入通道 2
3	IN3	ADC 输入通道 3
4	IN4	ADC 输入通道 4
5	TRO	触发输出
6	TRI	触发输入
7	CLK	外部参考 / 采样时钟输入

产品特性

- 7 个 SSMC 的连接器，其中 4 个分别为模拟信号输入 1~4；一个是外部参考 / 采样输入信号 (CLK)；一个为触发输出 (TRO)；一个为触发输入 (TRI)
- 板载 3 颗状态指示 LED
- 采样频率：16bit, 4 通道 1G/500MSPS
- 模拟带宽：500MHz
- JESD204B 标准数字接口
- 适应范围：完全符合 Vita57.1 规范，包括结构件，子卡尺寸，面板连接器，正反面器件的限高等，大大提供了子卡的通用性和适配性
- 散热方式：风冷或导热
- DC 耦合输入
- 时钟选择灵活：内部时钟、外部时钟选择可由载板控制
- HPC 高引脚数连接器
- 工作温度：商业级 0~55℃；工业级 -20℃ ~65℃
- 存储温度：-40℃ ~85℃

主要指标

- 模拟输入带宽：500MHz
- 全量程输入电压：1.85Vpp (典型值)
- $F_{ADC} = 1\text{GSPS}$, $A_{IN} = -1\text{ dBFS}$
 $F_{IN} = 10\text{MHz}/170\text{MHz}/270\text{MHz}/370\text{MHz}$
- SNR: 70.9/70/68.7/67.1 (dBFS)
- SINAD: 70.7/69.8/68.3/66 (dBFS)
- SFDR: 85/88/81/73 (dBc)
- ENOB: 11.5/11.3/11.0/10.7 (bits)

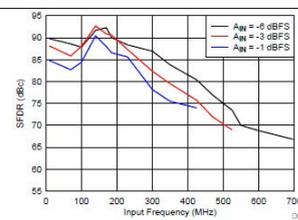


Figure 20. Spurious-Free Dynamic Range vs Input Frequency

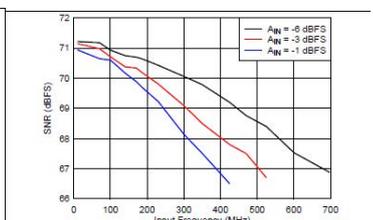


Figure 22. Signal-to-Noise Ratio vs Input Frequency

- $F_{ADC} = 500\text{MSPS}$, $A_{IN} = -1\text{ dBFS}$
 $F_{IN} = 10\text{MHz}/170\text{MHz}/310\text{MHz}/370\text{MHz}$
- SNR: 74.2/73/71.7/70.3 (dBFS)
- SINAD: 73.8/72.9/71.2/70.2 (dBFS)
- SFDR: 86/94/81/87 (dBc)
- ENOB: 12/11.9/11.5/11.4 (bits)

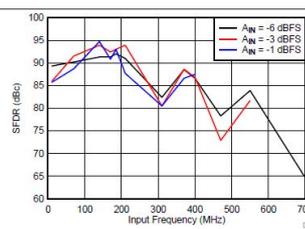


Figure 19. Spurious-Free Dynamic Range vs Input Frequency

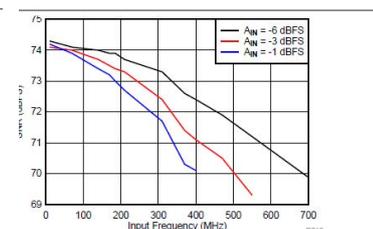


Figure 21. Signal-to-Noise Ratio vs Input Frequency

板卡性能

模拟输入

- (1) 输入耦合方式：直流耦合；
- (2) 输入路数：4路；
- (3) 满量程输入电压：1.85Vpp（典型值）
- (4) 模拟输入带宽：500MHz
- (5) 输入阻抗：50 Ohm；
- (6) 连接器：SSMC；

模数转换器 ADC

- (1) 单芯片：集成双通道；
- (2) 分辨率：16bit；
- (3) 最大采样率：1G/500MSPS
- (4) ADC 输出兼容 JESD204B 子类 1

时钟

- (1) 支持内部时钟：10-250MHz
- (2) 支持外部时钟最高：1000MHz
- (3) 输入阻抗：50 Ohm；
- (4) 耦合方式：交流耦合；
- (5) 连接器：SSMC；

触发

- (1) 外部触发输入：3.3V LVCMOS 或 LVTTTL；
- (2) 触发输出：3.3V LVCMOS 或 LVTTTL；
- (3) 最大频率：200MHz；
- (4) 连接器：SSMC；

FMC 接口

HPC: ASP-134488-01;

- (1) DP_M2C (0-7) , LVDS
- (2) LA (00-13) , LVDS 或者 LVCMOS 或者 LVTTTL
- (3) CLK (GBTCLK0-1) , LVDS
- (4) I2C

功耗

- (1) +12V: <0.7 A;
- (2) +3.3V: <1A;
- (3) Vadj (+1.8V) :<0.2A;

客户价值

- 快速交付
- 可维护性好
- 易于集成
- 高速高精度选择

订货

版本	采样率	商业级	工业级
导冷	1.0GSPS	QT7135AZ-CC	QT7135AZ-CI
导冷	500MSPS	QT7135BZ-CC	QT7135BZ-CI
风冷	1.0GSPS	QT7135AZ-AC	QT7135AZ-AI
风冷	500MSPS	QT7135BZ-AC	QT7135BZ-AI

其他支持

- 提供 Verilog bit 文件
- JESD204B Core, 可包括 BSP

实物图

